

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-260148

(43)Date of publication of application : 08.10.1996

(51)Int.Cl.

C23C 16/18
 C01G 55/00
 C23C 16/40
 C30B 29/16
 H01L 21/205
 H01L 21/285
 H01L 21/285
 H01L 21/314

(21)Application number : 07-067816

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.03.1995

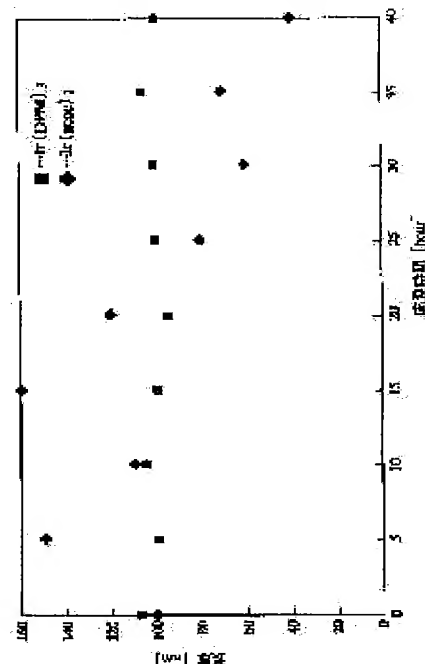
(72)Inventor : NAKABAYASHI MASAOKI

(54) FORMATION OF THIN FILM, SEMICONDUCTOR DEVICE AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To provide a method for forming the iridium thin film and iridium oxide thin film excellent in step surface coverage and reduced in film thickness variation by deposition, to furnish a semiconductor device using the iridium thin film or iridium oxide thin film and further to provide a method for producing the semiconductor device.

CONSTITUTION: An iridium thin film or an iridium oxide thin film is formed by the chemical vapor growth method using Ir(DPM)3 as the raw material. The iridium thin film or the iridium oxide thin film excellent in coverage is formed on a substrate having a rugged surface, and the variation in the film thickness is reduced.



LEGAL STATUS

[Date of request for examination]

08.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3130757

[Date of registration]

17.11.2000

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-260148

(43) 公開日 平成8年(1996)10月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
C 2 3 C 16/18			C 2 3 C 16/18	
C 0 1 G 55/00			C 0 1 G 55/00	
C 2 3 C 16/40			C 2 3 C 16/40	
C 3 0 B 29/16		7202-4G	C 3 0 B 29/16	
H 0 1 L 21/205			H 0 1 L 21/205	

審査請求 未請求 請求項の数13 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平7-67816

(22) 出願日 平成7年(1995)3月27日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 中林 正明

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 北野 好人

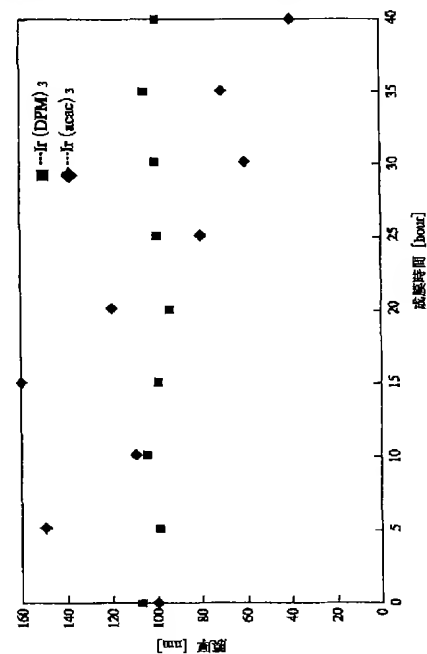
(54) 【発明の名称】 薄膜形成方法、半導体装置及びその製造方法

(57) 【要約】

【目的】 段差表面の被覆性に優れ、膜厚ばらつきが小さいイリジウム薄膜、酸化イリジウム薄膜を堆積する薄膜形成方法、並びにこれらイリジウム薄膜又は酸化イリジウム薄膜を用いる半導体装置及びその製造方法を提供する。

【構成】 $\text{Ir}(\text{DPM})_3$ を原料に用いた化学気相成長法により、イリジウム薄膜又は酸化イリジウム薄膜を成膜する。表面凹凸がある下地基板にも、被覆性に優れたイリジウム薄膜及び酸化イリジウム薄膜を形成することができる。また、膜厚のばらつきを小さく抑えることができる。

成膜時間に対するイリジウム薄膜の膜厚変化を示すグラフ



【特許請求の範囲】

【請求項 1】 $\text{Ir}(\text{DPM})_3$ を原料に用いた化学気相成長法により、イリジウム薄膜又は酸化イリジウム薄膜を成膜することを特徴とする薄膜形成方法。

【請求項 2】 請求項 1 記載の薄膜形成方法において、前記イリジウム薄膜又は前記酸化イリジウム薄膜を成膜する基板を、 $500\sim 600^\circ\text{C}$ の温度に加熱することを特徴とする薄膜形成方法。

【請求項 3】 請求項 1 又は 2 記載の薄膜形成方法において、前記イリジウム薄膜又は前記酸化イリジウム薄膜を成膜する成膜室の反応圧力を $1\sim 20\text{ Torr}$ に設定することを特徴とする薄膜形成方法。

【請求項 4】 請求項 1 乃至 3 のいずれかに記載の薄膜形成方法において、前記イリジウム薄膜を成膜する際には、前記イリジウム薄膜を成膜する成膜室に水素ガスを導入することを特徴とする薄膜形成方法。

【請求項 5】 請求項 4 記載の薄膜形成方法において、前記水素ガスの分圧が $0.1\sim 14\text{ Torr}$ であることを特徴とする薄膜形成方法。

【請求項 6】 請求項 1 乃至 3 のいずれかに記載の薄膜形成方法において、前記酸化イリジウム薄膜を成膜する際には、前記酸化イリジウム薄膜を成膜する成膜室に、酸素ガスを $0.5\sim 16\text{ Torr}$ の分圧で導入することを特徴とする薄膜形成方法。

【請求項 7】 請求項 1 乃至 6 のいずれかに記載の薄膜形成方法により形成されたイリジウム薄膜又は酸化イリジウム薄膜を有することを特徴とする半導体装置。

【請求項 8】 上部電極と、誘電体膜と、下部電極とが順次積層して形成されたキャパシタを有する半導体装置において、前記上部電極又は前記下部電極は、請求項 1 乃至 5 のいずれかに記載の薄膜形成方法により成膜されたイリジウム薄膜を有することを特徴とする半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、前記上部電極又は前記下部電極は、前記イリジウム薄膜と、酸化イリジウム薄膜との積層膜であることを特徴とする半導体装置。

【請求項 10】 請求項 8 記載の半導体装置において、前記上部電極又は前記下部電極は、前記イリジウム薄膜とプラチナ薄膜との積層膜であることを特徴とする半導体装置。

【請求項 11】 請求項 8 記載の半導体装置において、前記上部電極又は前記下部電極は、前記イリジウム薄膜と、酸化イリジウム薄膜と、プラチナ薄膜との積層膜であることを特徴とする半導体装置。

【請求項 12】 請求項 9 又は 11 記載の半導体装置において、

前記酸化イリジウム薄膜は、請求項 1、2、3 又は 6 記

載の薄膜形成方法により形成された酸化イリジウム薄膜であることを特徴とする半導体装置。

【請求項 13】 請求項 1 乃至 6 のいずれかに記載の薄膜形成方法によりイリジウム薄膜又は酸化イリジウム薄膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜の形成に係り、特にイリジウム薄膜、酸化イリジウム薄膜を形成する薄膜形成方法、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 イリジウム薄膜は、 SrTiO_3 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 等の高誘電性材料の電極として用いられている。従来より、半導体装置の製造工程等では、イリジウム薄膜を成膜するにはスパッタリング法が主として用いられていた。

【0003】 図 11 にスパッタリング装置の一例を示す。イリジウム薄膜の成膜を行う成膜室 84 には、イリジウムのバルクからなるターゲット 86 と、イリジウム薄膜を堆積する基板 88 とが対向して配置されている。ターゲット 86 と基板 88 との間には直流電源 90 が接続されており、カソードとなるターゲット 86 に大きな負の電圧が印加できるようになっている。成膜室 84 には更に Ar (アルゴン) ガス供給配管 92 が接続されており、成膜室 84 内にスパッタガスである Ar を導入できるようになっている。また、基板保持部 94 には、成膜の際に必要なに応じて基板 88 を加熱するヒータ 96 が設けられている。

【0004】 次に、スパッタ法によるイリジウム薄膜の成膜方法を説明する。始めに、成膜室 84 内を排気口 98 に接続された真空ポンプ (図示せず) により減圧した後、Ar ガス供給配管 92 より Ar ガスを成膜室 84 に導入し、成膜室 84 内の圧力を調整する。例えば、Ar ガスの流量を $10\sim 100\text{ sccm}$ に設定することにより、 $1\sim 5\times 10^{-3}\text{ Torr}$ 程度の圧力に調整する。

【0005】 次に、基板 88 とターゲット 86 との間に直流電圧を印加し、Ar プラズマを発生させる。これにより、解離した Ar イオンがカソードであるターゲット 86 に衝突してイリジウム原子をスパッタする。スパッタされたイリジウム原子が基板 88 に到達することにより、基板 88 上にイリジウム薄膜が堆積される。このようにして、スパッタリング法によるイリジウム薄膜の形成が行われていた。

【0006】 また、最近では、特開平 6-290789 号公報に、イリジウムの有機化合物を用いた CVD (化学気相成長: Chemical Vapor Deposition) 法によりイリジウム薄膜を形成する方法が提案されている。

【0007】

【発明が解決しようとする課題】 しかしながら、上記従

来のスパッタリング法を用いてイリジウム薄膜を形成する薄膜形成方法では、凹凸パターンが描画されている基板上にイリジウム薄膜を堆積すると、段差の上面と側面に同じ厚さで膜を堆積することができないといった問題があった。

【0008】このため、複雑なパターン上にイリジウム薄膜を堆積することは困難であり、例えば、DRAM（ダイナミックランダムアクセスメモリ）の溝型キャパシタセル及びスタックドキャパシタセル構造における高誘電性材料の電極として使用できないといった問題があった。また、特開平6-290789号公報記載の方法によりイリジウム薄膜を堆積した場合には、凹凸パターンを有する基板上での被覆性はスパッタリング法により堆積した場合と比較して非常に優れているが、イリジウムの原料として、例えばイリジウムアセチルアセトネート（以下、Ir(acac)₃と呼ぶ）を用いた場合には、原料ガスを安定して供給することが難しく、成膜されるイリジウム薄膜の膜厚ばらつきが大きくなるといった問題があった。加えて、CVD法により成膜した際にイリジウム薄膜の膜厚ばらつきを小さくできる原材料は

見いだされていなかった。

【0009】本発明の目的は、段差表面の被覆性に優れたCVD法により膜厚ばらつきが小さいイリジウム薄膜、酸化イリジウム薄膜を堆積する薄膜形成方法、並びにイリジウム薄膜、酸化イリジウム薄膜を用いる半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的は、Ir(DPM)₃を原料に用いた化学気相成長法により、イリジウム薄膜又は酸化イリジウム薄膜を成膜することを特徴とする薄膜形成方法によって達成される。また、上記の薄膜形成方法において、前記イリジウム薄膜又は前記酸化イリジウム薄膜を成膜する基板を、500～600℃の温度に加熱することが望ましい。

【0011】また、上記の薄膜形成方法において、前記イリジウム薄膜又は前記酸化イリジウム薄膜を成膜する成膜室の反応圧力を1～20Torrに設定することが望ましい。また、上記の薄膜形成方法において、前記イリジウム薄膜を成膜する際には、前記イリジウム薄膜を成膜する成膜室に水素ガスを導入することが望ましい。

【0012】また、上記の薄膜形成方法において、前記水素ガスの分圧が0.1～14Torrであることが望ましい。また、上記の薄膜形成方法において、前記酸化イリジウム薄膜を成膜する際には、前記酸化イリジウム薄膜を成膜する成膜室に、酸素ガスを0.5～16Torrの分圧で導入することが望ましい。

【0013】また、上記の薄膜形成方法により形成されたイリジウム薄膜又は酸化イリジウム薄膜を有することを特徴とする半導体装置によっても達成される。また、上部電極と、誘電体膜と、下部電極とが順次積層して形

成されたキャパシタを有する半導体装置において、前記上部電極又は前記下部電極は、上記の薄膜形成方法により成膜されたイリジウム薄膜を有することを特徴とする半導体装置によっても達成される。

【0014】また、上記の半導体装置において、前記上部電極又は前記下部電極は、前記イリジウム薄膜と、酸化イリジウム薄膜との積層膜であることが望ましい。また、上記の半導体装置において、前記上部電極又は前記下部電極は、前記イリジウム薄膜とプラチナ薄膜との積層膜であることが望ましい。また、上記の半導体装置において、前記上部電極又は前記下部電極は、前記イリジウム薄膜と、酸化イリジウム薄膜と、プラチナ薄膜との積層膜であることが望ましい。

【0015】また、上記の半導体装置において、前記酸化イリジウム薄膜は、上記の薄膜形成方法により形成された酸化イリジウム薄膜であることが望ましい。また、上記の薄膜形成方法によりイリジウム薄膜又は酸化イリジウム薄膜を形成する工程を有することを特徴とする半導体装置の製造方法によっても達成される。

【0016】

【作用】本発明によれば、Ir(DPM)₃を原料に用いたCVD法によりイリジウム薄膜、酸化イリジウムを成膜するので、表面凹凸がある下地基板上にも、被覆性に優れたイリジウム薄膜及び酸化イリジウム薄膜を形成することができる。また、従来のIr(acac)₃を原料に用いた成膜方法と比較して、膜厚のばらつきを小さく抑えることができる。

【0017】また、成膜する基板温度を500～600℃の温度に設定すれば、良質のイリジウム薄膜又は酸化イリジウム薄膜を形成することができる。また、成膜室の反応圧力を1～20Torrに設定すれば、良質のイリジウム薄膜及び酸化イリジウム薄膜を形成することができる。また、イリジウム薄膜成膜の際に、成膜室内に水素ガスを導入すれば、膜中への炭素の混入が少ないイリジウム薄膜を形成できるので、イリジウム薄膜の抵抗率を大幅に減少することができる。また表面の平坦性を改善することができる。

【0018】また、水素ガスの分圧を0.1～14Torrに設定すれば、上記の効果を得ることができる。また、酸化イリジウム薄膜を成膜する際に成膜室に導入する酸素ガスの分圧を0.5～16Torrに設定すれば、良質の酸化イリジウム薄膜を形成することができる。

【0019】また、上記の薄膜形成方法により膜厚ばらつきが小さく良質なイリジウム薄膜又は酸化イリジウム薄膜を形成するので、半導体装置の信頼性等を向上することができる。また、上記のイリジウム薄膜は、上部電極と、誘電体膜と、下部電極とが順次積層して形成されたキャパシタを有する半導体装置に適用することができる。

【0020】また、上記の半導体装置において、上部電極又は下部電極には、イリジウム薄膜と酸化イリジウム薄膜との積層膜を適用することができる。また、上記の半導体装置において、上部電極又は下部電極には、イリジウム薄膜とプラチナ薄膜との積層膜を適用することができる。また、上記の半導体装置において、上部電極又は下部電極には、イリジウム薄膜と、酸化イリジウム薄膜と、プラチナ薄膜との積層膜を適用することができる。

【0021】また、上記の半導体装置において、酸化イリジウム薄膜を上記の薄膜形成方法により形成すれば、良質な酸化イリジウム薄膜を形成できるので、半導体装置の信頼性等を向上することができる。また、上記の薄膜形成方法によりイリジウム薄膜又は酸化イリジウム薄膜を形成すれば、良質な半導体装置を製造することができる。

【0022】

【実施例】本発明の第1の実施例による薄膜形成方法について図1乃至図5を用いて説明する。図1は本実施例による薄膜形成方法に用いたCVD装置の概略図、図2は本実施例による薄膜形成方法により形成したイリジウム薄膜及び酸化イリジウム薄膜におけるX線回折スペクトル、図3は成膜時間に対するイリジウム薄膜の膜厚変化を示すグラフ、図4は水素分圧とイリジウム薄膜の抵抗率との関係を示すグラフ、図5は水素分圧とイリジウム薄膜の表面凹凸性との関係を示すグラフである。

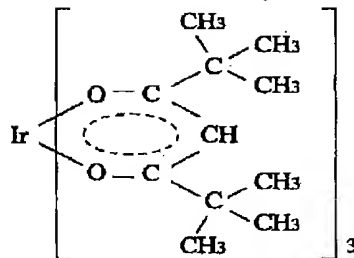
【0023】本実施例による薄膜形成方法に用いたCVD装置を図1を用いて説明する。薄膜の成長を行う成膜室10には、真空ポンプ12が接続されており、成膜室10内部を減圧できるようになっている。成膜室10内部には、成膜を行う基板14を載置するためのサセプタ16が設けられている。サセプタ16には、成膜の際に基板14を加熱するヒータ（図示せず）が設けられている。

【0024】成膜室10には更に、H₂（水素）又はO₂（酸素）ガスを導入するガス供給配管18と、有機金属原料を含むガスを導入するガス供給配管20が接続されている。また、このようにして成膜室10内に導入されたガスが成膜室10内に均一に供給されるように、成膜室10内にはシャワーヘッド22が形成されている。ガス供給配管20の他方は、金属化合物を加熱昇華させてキャリアガスとともに成膜室10に導入するガス制御装置24に接続されている。

【0025】ガス制御装置24には、一般式、

【0026】

【化1】



で示される金属原料であるイリジウムジピバロイルメタン（以下Ir（DPM）₃と呼ぶ）が充填された原料容器26が設けられている。Ir（DPM）₃は室温においてオレンジ色の粉末であり、成膜にあたってはこれを昇華して用いる。このため、原料容器26は、原料容器26を150～200℃程度の温度に加熱するための恒温槽28の内部に載置されている。

【0027】原料容器26には更に、キャリアガスであるArガスを導入するガス供給配管30が接続されており、ガス供給配管30からArガスを原料容器26に導入することにより、Arガスとともに昇華されたIr（DPM）₃を成膜室10に導入できるようになっている。また、成膜室10、ガス供給配管18、20、成膜室10と原料容器26間の配管には、配管内でのガスの凝縮を抑えるためにヒータ32が設けられており、成膜にあたっては、Ir（DPM）₃の昇華温度より例えば5℃程度高い150～210℃で保温される。

【0028】次に、本実施例による薄膜形成方法を図1を用いて説明する。成膜室10内を真空ポンプ12により減圧した後、イリジウム薄膜を堆積する基板14をサセプタ16のヒータにより加熱する。次いで、キャリアガスであるArガスを所定の流量だけ流し、昇華されたIr（DPM）₃とともに成膜室10に導入する。これと同時にガス供給配管18よりH₂ガスを導入することにより、Ir（DPM）₃とH₂ガスとが基板14上で反応し、基板14上にはイリジウム薄膜が堆積される。

【0029】基板14上に酸化イリジウム薄膜を堆積する際には、H₂ガスの代わりにO₂ガスを成膜室10内に導入し、Ir（DPM）₃とO₂ガスとを基板14上で反応させればよい。図2は、成膜室10内の圧力を10 Torr、キャリアガス流量を300 sccm、H₂ガス又はO₂ガスの分圧を0.5 Torrとして成膜したイリジウム薄膜及び酸化イリジウム薄膜をX線回折により測定した結果である。図中（a）が酸化イリジウム薄膜を成長したシリコン基板からの回折スペクトルを、

（b）がイリジウム薄膜を成長したシリコン基板からの回折スペクトルを示している。

【0030】なお、イリジウム薄膜は（100）シリコン基板上に成長し、酸化イリジウム薄膜は、（100）シリコン基板上に堆積した20nmのイリジウム薄膜上に成長した。成膜速度はともに100nm/minとした。図示するように、いずれの場合にも代表的な回折ピ

ークが観察されており、イリジウム薄膜、酸化イリジウム薄膜が成長されていることが判る。

【0031】本願発明者は、このようにして成長したイリジウム薄膜が、従来用いられている $\text{Ir}(\text{acac})_3$ によりイリジウム薄膜を成長する場合と比較して、製造プロセス上の安定性に優れていることを新たに見いだ*

金属原料	$\text{Ir}(\text{DPM})_3$	$\text{Ir}(\text{acac})_3$
昇華温度[°C]	150	200
キャリアガス流量[sccm]	300	300
成膜室圧力[Torr]	10	10
成膜温度[°C]	500	500
成膜速度[nm/min]	100	80
下地基板	(100)Si	(100)Si

図示するように、金属原料として $\text{Ir}(\text{DPM})_3$ を用いた場合には、堆積されるイリジウム薄膜の膜厚はほとんど変化しない。これに対し、 $\text{Ir}(\text{acac})_3$ を用いた場合には膜厚のばらつきは非常に大きく、また、20時間以上の稼働では膜厚の減少がみられるようになる。

【0033】このように $\text{Ir}(\text{acac})_3$ を用いた場合に膜厚ばらつきが大きいのは、 $\text{Ir}(\text{acac})_3$ が安定した昇華特性を得られないからである。即ち、昇華特性が安定していなければ成膜室10に導入される原料ガスの供給量が変動し、原料ガスの供給量に依存する成膜速度は変化するので、膜厚がばらついてしまう。また、 $\text{Ir}(\text{acac})_3$ を用いた場合には、20時間以上の稼働により膜厚が減少するが、これは $\text{Ir}(\text{acac})_3$ の劣化によるものである。時間の経過とともに有機金属原料である $\text{Ir}(\text{DPM})_3$ や $\text{Ir}(\text{acac})_3$ は劣化するが、その劣化の速度は主に温度に起因する。このため、昇華温度の高い $\text{Ir}(\text{acac})_3$ では $\text{Ir}(\text{DPM})_3$ と比較して劣化が早く、膜厚の減少をもたらすのである。

【0034】これらのことから、CVD法によりイリジウム薄膜を形成するための原材料としては、 $\text{Ir}(\text{acac})_3$ よりも $\text{Ir}(\text{DPM})_3$ が適しているものと考えられる。次に、イリジウム薄膜を成膜する際に導入する H_2 ガスの効果について説明する。

【0035】図4は水素分圧に対する抵抗率の変化を示すグラフ、図5は水素分圧に対する表面凹凸の変化を示すグラフである。図示するように、成膜時に H_2 ガスを導入しない場合には、イリジウム薄膜の抵抗率は1792 [$\Omega \cdot \text{cm}$] である。しかし、成膜時に H_2 ガスを導入すると、その値は急激に減少する。例えば水素分圧が約0.3 [Torr] では、その値は148 [$\Omega \cdot \text{cm}$]

*した。以下に詳細に説明する。図3は、同一膜厚による成膜を繰り返し行った場合の膜厚の変化を示したものである。成膜条件は表1に示す通りである。

【0032】

【表1】

m] となる。さらに水素分圧を減少すると、水素分圧が約0.625 [Torr] では抵抗率は42.8 [$\Omega \cdot \text{cm}$]、水素分圧が約0.7 [Torr] では抵抗率は33.8 [$\Omega \cdot \text{cm}$] となり、水素分圧の増加とともに比抵抗を減少することができる。このように抵抗率が水素分圧に依存するのは膜中に含まれる炭素濃度の影響である。

【0036】イリジウム薄膜を成膜する材料として $\text{Ir}(\text{DPM})_3$ を用いた場合には、原料には多量に炭素が含まれるために成膜したイリジウム薄膜中にも炭素が含まれている。このような炭素の導入が抵抗率の増大をもたらすが、添加した H_2 ガスが膜中の炭素と反応すれば、気相中又は基板表面において水素と酸素が反応することにより炭化水素を生成して気化するので、膜中に導入される炭素濃度を減少することができる。

【0037】また、図5に示すように、成膜時に H_2 ガスを導入することには、形成されたイリジウム薄膜の表面凹凸を小さくする効果もある。このように、本実施例によれば、 $\text{Ir}(\text{DPM})_3$ を用いてCVD法によりイリジウム薄膜、酸化イリジウム薄膜を成長したので、凹凸パターンが描画された基板上であっても被覆性良く成膜することができる。

【0038】また、反応室に水素を導入してイリジウム薄膜を成長したので、抵抗率が低く、膜中に炭素の混入が少ないイリジウム薄膜を形成することができる。なお、本願発明者によれば、良質なイリジウム薄膜を形成するためには、成膜の際に基板を500～600°C程度の温度に昇温し、成膜時の成膜室内圧力は1～20 Torr程度に設定し、水素分圧を0.1～1.4 Torr程度に設定することが望ましい。

【0039】また、良質な酸化イリジウム薄膜を形成するためには、成膜の際に基板を500～600°C程度の

温度に昇温し、成膜時の成膜室内圧力は1~20 Torr程度に設定し、酸素分圧を0.5~16 Torr程度に設定することが望ましい。次に本発明の第2の実施例による半導体装置及びその製造方法について図6乃至図10を用いて説明する。

【0040】図6は本実施例による半導体装置の構造を示す図、図7は本実施例による半導体装置の製造方法を示す工程断面図、図8乃至図10は本実施例の変形例による半導体装置の構造を示す図である。本実施例では、第1の実施例による薄膜製造方法により形成したイリジウム薄膜を半導体装置に応用する例として、イリジウム薄膜を下部電極とする薄膜キャパシタの構造及び製造方法について示す。

【0041】始めに、本実施例による半導体装置の構造を図6を用いて説明する。シリコン基板40上に形成された絶縁膜42上には、イリジウム薄膜44と酸化イリジウム薄膜46が順次積層して形成された下部電極48が形成されている。下部電極48上には、SrTiO₃により形成されたキャパシタ誘電体膜50が形成されている。キャパシタ誘電体膜50上には、TiNにより形成された上部電極52が形成されている。このようにして形成されたキャパシタ上には、絶縁膜54が形成されており、絶縁層54に形成されたスルーホール56には、上部電極52、下部電極48に接続する配線層58が形成されている。

【0042】次に、本実施例による半導体装置の製造方法を図7を用いて説明する。まず、絶縁膜42が形成されたシリコン基板40上に、下部電極48となるイリジウム薄膜44を、Ir(DPM)₃を原料に用いたCVD法により堆積する。イリジウム薄膜44の成膜条件は、例えば、昇華温度を150℃、キャリアガスであるArガスの流量を300 sccm、H₂ガスの流量を100~300 sccm、基板温度500~600℃、成膜圧力1~10 Torr、成膜速度10 nm/min、膜厚100 nmとする。

【0043】次いで、このようにして成膜したイリジウム薄膜44の表面を、例えばRTA（短時間アニール：Rapid Thermal Annealing）法を用いて酸化し、膜厚30~50 nm程度の酸化イリジウム薄膜46を形成する。RTA条件は、例えば、処理温度600℃、処理時間10~20秒とする。続いて、通常のリソグラフィ技術とイオンミリング技術により、イリジウム薄膜44と酸化イリジウム薄膜46とからなる積層膜をパターニングし、下部電極48を形成する。

【0044】その後、スパッタ法により、キャパシタ誘電体膜50となるSrTiO₃膜を堆積する。スパッタ条件は、例えば、ターゲットにSrTiO₃を、スパッタガスに10%のO₂を含むArガスを用い、成長真空度10 mTorr、基板温度450℃、膜厚100 nmとする。次いで、スパッタ法により、上部電極52とな

るTiN膜を堆積する。スパッタ条件は、例えば、ターゲットにTiを、スパッタガスに20%のN₂を含むArガスを用い、成長真空度10 mTorr、基板温度200℃、膜厚100 nmとする。

【0045】続いて、反応性イオンエッチング法により、TiN膜を加工して上部電極52をパターニングする（図7（a））。エッチング条件は、例えば、エッチングガスにCl₂を用い、圧力200 mTorr、基板温度60℃、投入電力200 Wとする。その後、通常のリソグラフィ技術によりレジスト60のパターニングを行った後、ウェットエッチングによりSrTiO₃膜をパターニングしてキャパシタ誘電体膜50とする（図7（b））。

【0046】次いで、このように形成されたキャパシタ上にCVD法により絶縁膜54を堆積する。成膜条件は、例えば、反応ガスにSiH₄とN₂OとN₂との混合ガスを用い、圧力1 Torr、成膜速度130 nm/min、基板温度320℃、投入電力20 W、膜厚250 nmとする。続いて、下部電極48と上部電極52から配線を引き出すためのスルーホール56を絶縁膜54に開口する（図7（c））。スルーホール形成には反応性イオンエッチングを用いる。エッチング条件は、例えば、反応ガスとしてCF₄とCHF₃との混合ガスを用い、圧力200 mTorr、エッチングレート70 nm/min、基板温度40℃、投入電力200 Wとする。

【0047】その後、配線層58となるAlをスパッタ法により成膜し、パターニングすることにより配線層58を形成する（図7（d））。スパッタ条件は、例えば、スパッタガスにArを用い、圧力1 mTorr、成膜速度600 nm/min、基板温度を室温、投入電力7 kW、膜厚600 nmとする。エッチング条件は、例えば、エッチングガスにCl₂を用い、圧力200 mTorr、エッチングレート500 nm/min、基板温度40℃、投入電力200 Wとする。

【0048】このようにして形成した薄膜キャパシタのリーク特性の評価を行った結果、面積100×100 μm²のキャパシタの上部電極52と下部電極48との間に10 Vのバイアスを印加した際のリーク電流は1×10⁻⁶ cm⁻²であった。また、キャパシタ誘電体膜50の有する比誘電率は200であり、比誘電率が高くリーク特性に優れたキャパシタを形成することができた。

【0049】このように、本実施例によれば、Ir(DPM)₃を原料に用いたCVD法により成膜したイリジウム薄膜によりキャパシタ電極を形成したので、SrTiO₃等の高誘電性材料を誘電体膜として用いたキャパシタを形成することができる。なお、上記実施例では薄膜キャパシタを単体で形成したが、他のデバイスに上記キャパシタを適用してもよい。

【0050】例えば、図8に示すようにDRAMのキャパシタに適用することができる。即ち、素子分離膜62

により画定されたシリコン基板40上の素子領域には、ソース拡散層64と、ドレイン拡散層66と、ゲート電極68とにより構成された転送トランジスタTrが形成されている。ドレイン拡散層66上には、ビット線を構成する配線層70が形成されている。転送トランジスタTrが形成されたシリコン基板40上には、ソース拡散層64上にスルーホール72が形成された層間絶縁膜54が形成されている。

【0051】層間絶縁膜74上には、バリア層76を介して、イリジウムにより形成された下部電極48と、SrTiO₃により形成されたキャパシタ誘電体膜50と、TiNにより形成された上部電極52とを有するキャパシタCが形成されている。下部電極48は、バリア層76と、スルーホール72に埋め込まれた導電性のプラグ78とを介してソース拡散層64に接続されている。また、キャパシタC上には層間絶縁膜80が形成されており、その上部には配線層82が形成されている。

【0052】このようにして、1トランジスタ、1キャパシタにより構成されるDRAMを形成することができる。また、イリジウム薄膜はCVD法により堆積するので、段差部における被覆性にも優れている。従って、図8に示すプレーナ型のカパシタでなくてもよい。例えば、図9に示すように単純スタック構造のカパシタを構成することができる。

【0053】また、上記の実施例では、下部電極48としてイリジウム薄膜44と酸化イリジウム薄膜46との積層膜を用い、キャパシタ誘電体膜50としてSrTiO₃膜を用い、上部電極52としてTiN膜を用いたが、これらに限定されるものではない。例えば、キャパシタ誘電体膜50としてはSrTiO₃の代わりに、(Ba, Sr)TiO₃を用いてもよいし、Pb(Zr, Ti)O₃等を用いてもよい。

【0054】また、下部電極48は、図10(a)に示すようにイリジウム薄膜44のみで形成してもよい。また、Pb(Zr, Ti)O₃等、酸化イリジウム薄膜46と反応する材料をキャパシタ誘電体膜50として用いる場合には、下部電極48は、図10(b)に示すようにイリジウム薄膜44とPt(プラチナ)膜47との積層膜により形成してもよいし、図10(c)に示すようにイリジウム薄膜44と酸化イリジウム薄膜46とPt(プラチナ)膜47との積層膜により形成してもよい。

【0055】また、上部電極52を下部電極48と同一の構造にしてもよい。なお、積層膜により上部電極52を形成する場合には、各層の積層順を下部電極48と逆にすることにより構成すればよい。また、上記実施例では、イリジウム薄膜44の表面を酸化することにより酸化イリジウム薄膜46を形成したが、第1の実施例で示したように、Ir(DPM)₃を用いたCVD法により成膜してもよい。

【0056】

【発明の効果】以上の通り、本発明によれば、Ir(DPM)₃を原料に用いたCVD法によりイリジウム薄膜、酸化イリジウムを成膜するので、表面凹凸がある下地基板にも、被覆性に優れたイリジウム薄膜及び酸化イリジウム薄膜を形成することができる。

【0057】また、従来のIr(acac)₃を原料に用いた成膜方法と比較して、膜厚のばらつきを小さく抑えることができる。また、成膜する基板温度を500～600℃の温度に設定すれば、良質のイリジウム薄膜又は酸化イリジウム薄膜を形成することができる。また、成膜室の反応圧力を1～20 Torrに設定すれば、良質のイリジウム薄膜及び酸化イリジウム薄膜を形成することができる。

【0058】また、イリジウム薄膜成膜の際に、成膜室内に水素ガスを導入すれば、膜中への炭素の混入が少ないイリジウム薄膜を形成できるので、イリジウム薄膜の抵抗率を大幅に減少することができる。また表面の平坦性を改善することができる。また、水素ガスの分圧を0.1～1.4 Torrに設定すれば、上記の効果を得ることができる。

【0059】また、酸化イリジウム薄膜を成膜する際に成膜室に導入する酸素ガスの分圧を0.5～1.6 Torrに設定すれば、良質の酸化イリジウム薄膜を形成することができる。また、上記の薄膜形成方法により膜厚ばらつきが小さく良質なイリジウム薄膜又は酸化イリジウム薄膜を形成するので、半導体装置の信頼性等を向上することができる。

【0060】また、上記のイリジウム薄膜は、上部電極と、誘電体膜と、下部電極とが順次積層して形成されたキャパシタを有する半導体装置に適用することができる。また、上記の半導体装置において、上部電極又は下部電極には、イリジウム薄膜と酸化イリジウム薄膜との積層膜を適用することができる。また、上記の半導体装置において、上部電極又は下部電極には、イリジウム薄膜とプラチナ薄膜との積層膜を適用することができる。

【0061】また、上記の半導体装置において、上部電極又は下部電極には、イリジウム薄膜と、酸化イリジウム薄膜と、プラチナ薄膜との積層膜を適用することができる。また、上記の半導体装置において、酸化イリジウム薄膜を上記の薄膜形成方法により形成すれば、良質な酸化イリジウム薄膜を形成できるので、半導体装置の信頼性等を向上することができる。

【0062】また、上記の薄膜形成方法によりイリジウム薄膜又は酸化イリジウム薄膜を形成すれば、良質な半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による薄膜形成方法に用いたCVD装置の概略図である。

【図2】本発明の第1の実施例による薄膜形成方法により形成したイリジウム薄膜及び酸化イリジウム薄膜にお

ける X 線回折スペクトルである。

【図 3】成膜時間に対するイリジウム薄膜の膜厚変化を示すグラフである。

【図 4】水素分圧とイリジウム薄膜の抵抗率との関係を示すグラフである。

【図 5】水素分圧とイリジウム薄膜の表面凹凸性との関係を示すグラフである。

【図 6】本発明の第 2 の実施例による半導体装置の構造を示す図である。

【図 7】本発明の第 2 の実施例による半導体装置の製造方法を示す工程断面図である。 10

【図 8】本発明の第 2 の実施例の変形例による半導体装置の構造を示す図（その 1）である。

【図 9】本発明の第 2 の実施例の変形例による半導体装置の構造を示す図（その 2）である。

【図 10】本発明の第 2 の実施例の変形例による半導体装置の構造を示す図（その 3）である。

【図 11】従来の薄膜形成方法を説明する図である。

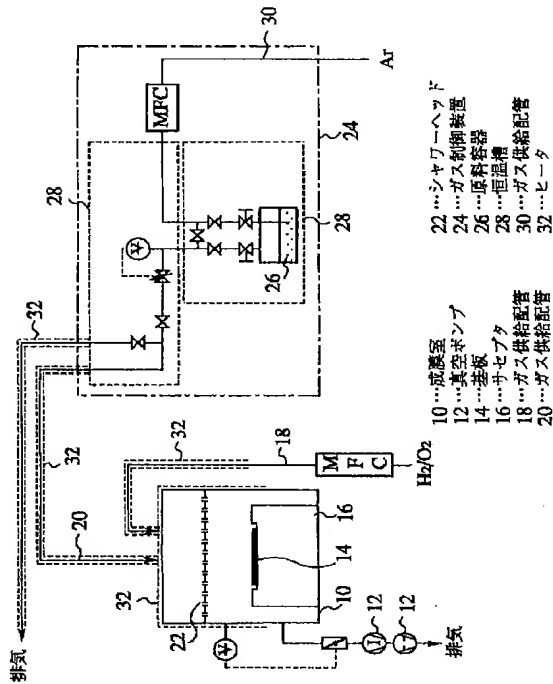
【符号の説明】

10…成膜室
12…真空ポンプ
14…基板
16…サセプタ
18…ガス供給配管
20…ガス供給配管
22…シャワーヘッド
24…ガス制御装置
26…原料容器
28…恒温槽
30…ガス供給配管
32…ヒータ

40…シリコン基板
42…絶縁膜
44…イリジウム薄膜
46…酸化イリジウム薄膜
47…プラチナ膜
48…下部電極
50…キャパシタ誘電体膜
52…上部電極
54…絶縁膜
56…スルーホール
58…配線層
60…レジスト
62…素子分離膜
64…ソース拡散層
66…ドレイン拡散層
68…ゲート電極
70…配線層
72…スルーホール
74…層間絶縁膜
76…バリア層
78…プラグ
80…層間絶縁膜
82…配線層
84…成膜室
86…ターゲット
88…基板
90…直流電源
92…Ar ガス供給配管
94…基板保持部
96…ヒータ
98…排気口

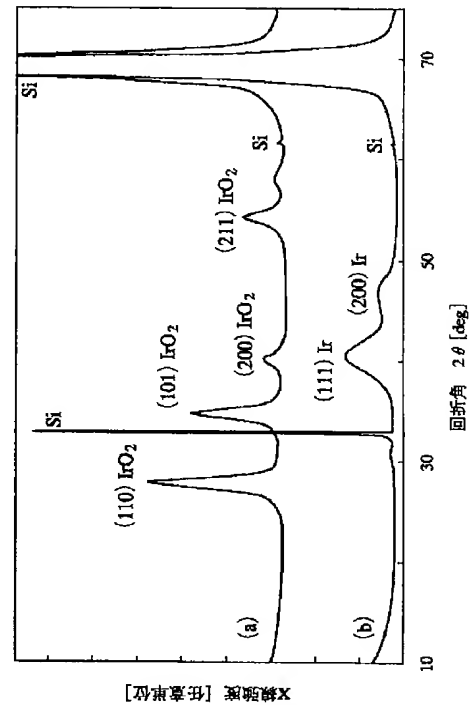
【図1】

本発明の第1の実施例による薄膜形成方法に用いた
CVD装置の概略図



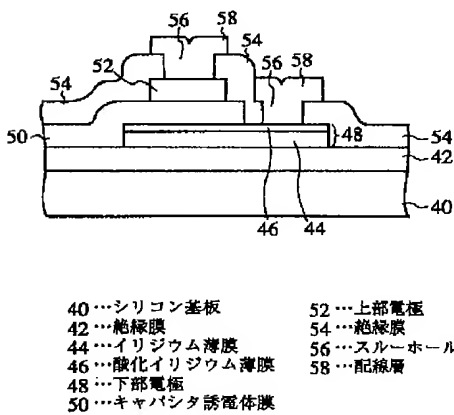
【図2】

本発明の第1の実施例による薄膜形成方法により形成した
イリジウム薄膜及び酸化イリジウム薄膜における
X線回折スペクトル



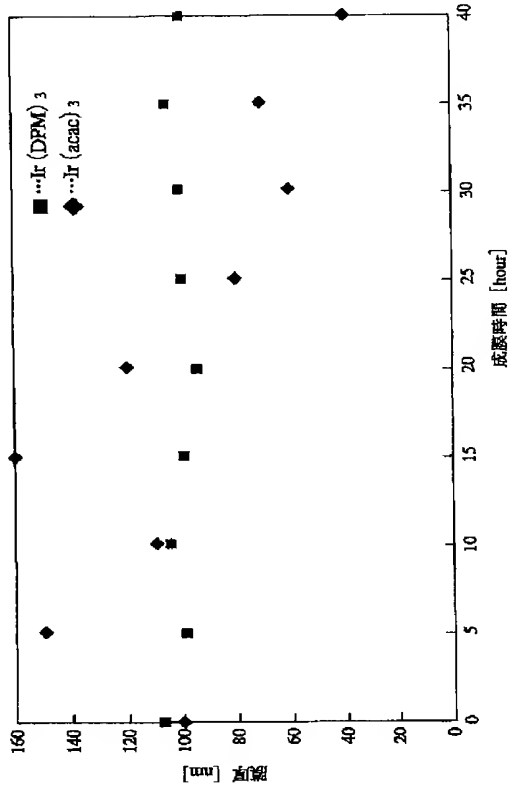
【図6】

本発明の第2の実施例による半導体装置の構造を示す図



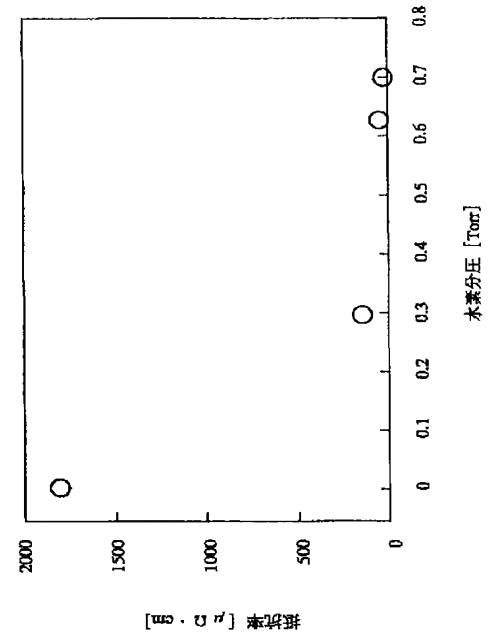
【図3】

成膜時間に対するイリジウム薄膜の膜厚変化を示すグラフ



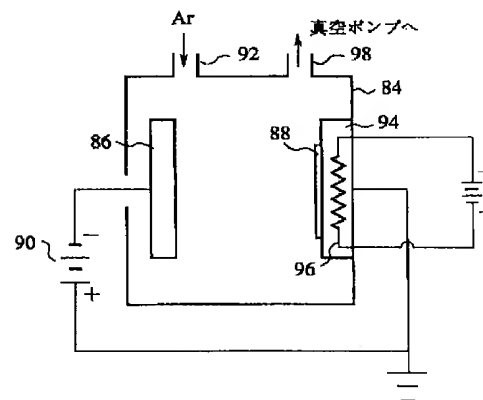
【図4】

水素分圧とイリジウム薄膜の抵抗率との関係を示すグラフ



【図11】

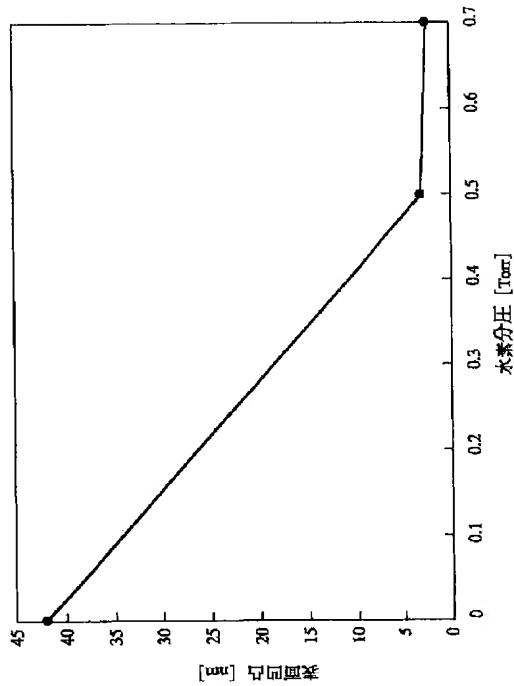
従来の薄膜形成方法を説明する図



- 84 …成膜室
- 86 …ターゲット
- 88 …基板
- 90 …直流電源
- 92 …Arガス供給配管
- 94 …基板保持部
- 96 …ヒーター
- 98 …排気口

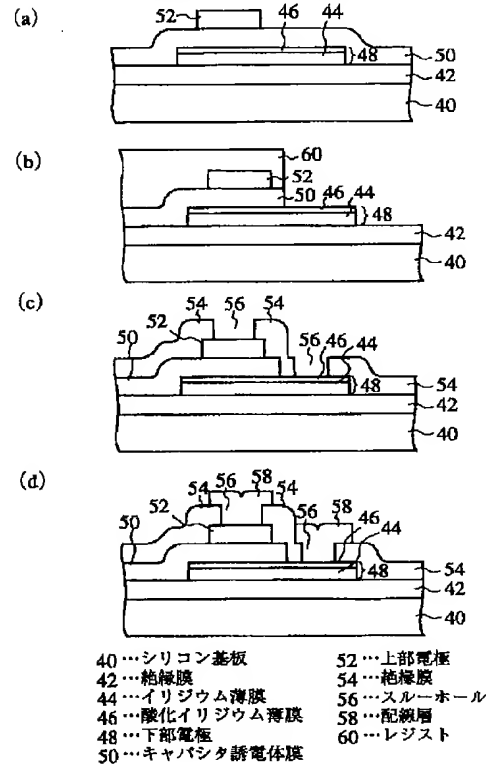
【図5】

水素分圧とイリジウム薄膜の表面凹凸性
との関係を示すグラフ



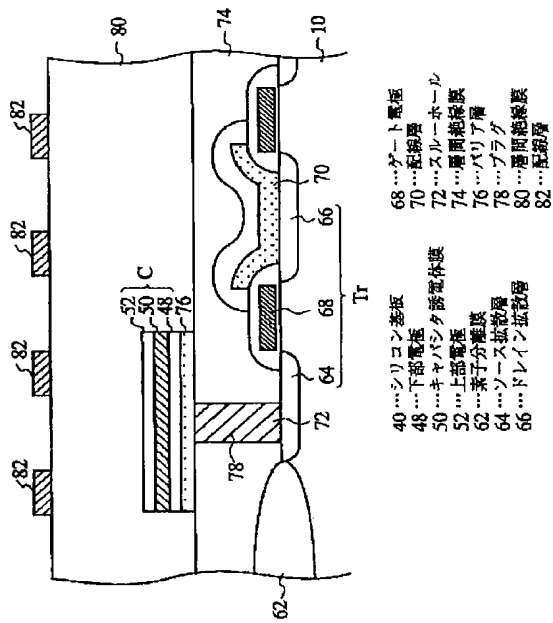
【図7】

本発明の第2の実施例による半導体装置
の製造方法を示す工程断面図



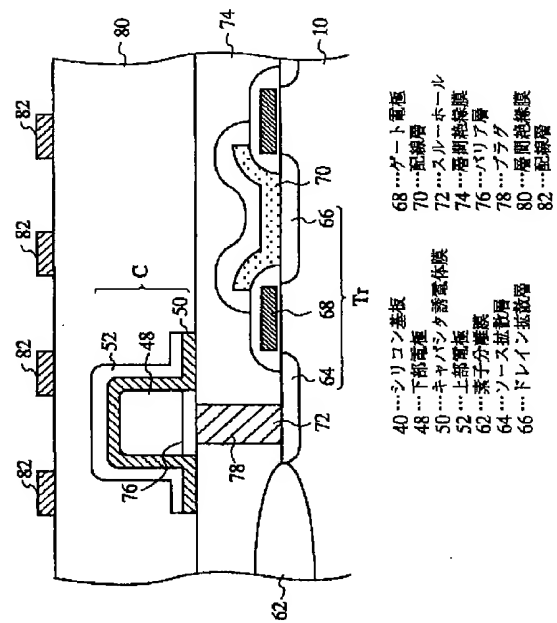
【図 8】

本発明の第2の実施例の変形例による半導体装置の構造を示す図（その1）



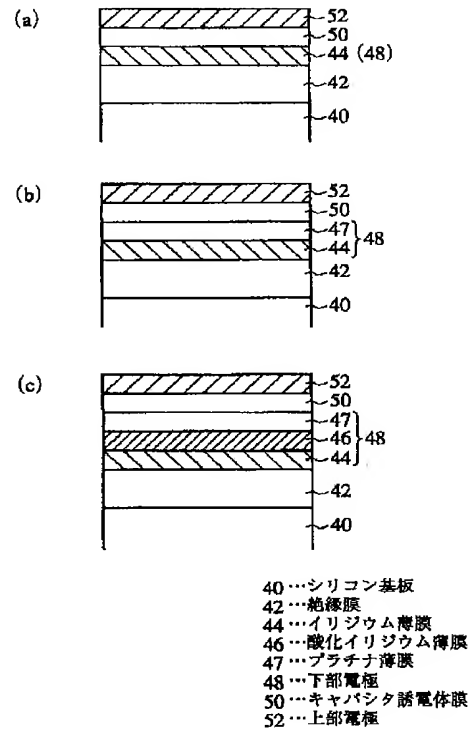
【図 9】

本発明の第2の実施例の変形例による半導体装置の構造を示す図（その2）



【図10】

本発明の第2の実施例の変形例による半導体装置
の構造を示す図（その3）



フロントページの続き

(51)Int.Cl.⁶
H 0 1 L 21/285
21/314

識別記号 庁内整理番号
3 0 1

F I
H 0 1 L 21/285
21/314

技術表示箇所

C
3 0 1 Z
A